

ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ - ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 7

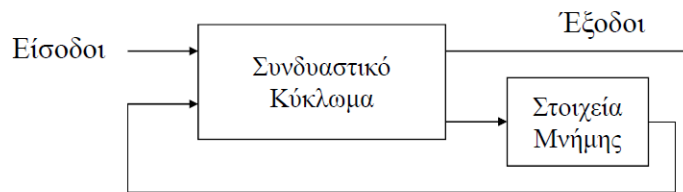
ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ – ΜΑΝΔΑΛΩΤΕΣ – FLIP FLOP

Σκοπός: Η κατανόηση της λειτουργίας των βασικών ακολουθιακών κυκλωμάτων. Θα μελετηθούν συγκεκριμένα: ο μανδαλωτής (latch) RS, το D Flip-Flop, το JK Flip-Flop και η μετατροπή του JK σε T Flip-Flop.

7.1 Θεωρητική εισαγωγή

7.1.1 Ακολουθιακά κυκλώματα

Η εκτέλεση διαδοχικών λειτουργιών απαιτεί τη δημιουργία κυκλωμάτων που μπορούν να αποθηκεύουν πληροφορίες, στα ενδιάμεσα στάδια των λειτουργιών αυτών. Αυτού του τύπου τα κυκλώματα ονομάζονται *ακολουθιακά*. Στο σχ. 7.1 φαίνεται το σχηματικό διάγραμμα ενός ακολουθιακού κυκλώματος.



Σχήμα 7.1: Σχηματικό διάγραμμα ακολουθιακού κυκλώματος

Ένα ακολουθιακό κύκλωμα περιλαμβάνει συνδυαστικά κυκλώματα και τουλάχιστον ένα *στοιχείο μνήμης*. Τα στοιχεία μνήμης είναι κυκλώματα που έχουν τη δυνατότητα να αποθηκεύουν πληροφορίες σε δυαδική μορφή. Οι αποθηκευμένες πληροφορίες, σε οποιαδήποτε χρονική στιγμή, καθορίζουν την *κατάσταση* του ακολουθιακού κυκλώματος τη δεδομένη στιγμή. Το ακολουθιακό κύκλωμα λαμβάνει δυαδικές πληροφορίες-δεδομένα μέσω των εισόδων του. Οι τιμές των εισόδων, σε συνδυασμό με την παρούσα κατάσταση των στοιχείων μνήμης, καθορίζουν τις τιμές των εξόδων του κυκλώματος και κατά συνέπεια και την επόμενη κατάσταση των στοιχείων μνήμης.

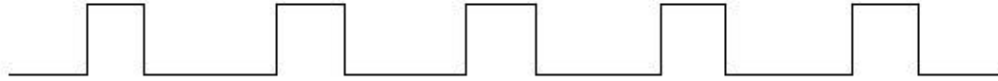
Δηλαδή, η κατάσταση ενός ακολουθιακού κυκλώματος καθορίζεται από μια χρονική ακολουθία τιμών εισόδων, εσωτερικών καταστάσεων και εξόδων.

Τα ακολουθιακά κυκλώματα διακρίνονται σε δύο βασικούς τύπους, ανάλογα με τις χρονικές στιγμές, κατά τις οποίες:

- (α) καθορίζονται οι τιμές των εισόδων και
- (β) αλλάζει η εσωτερική κατάσταση των κυκλωμάτων.

Έτσι, ένα ακολουθιακό κύκλωμα μπορεί να είναι:

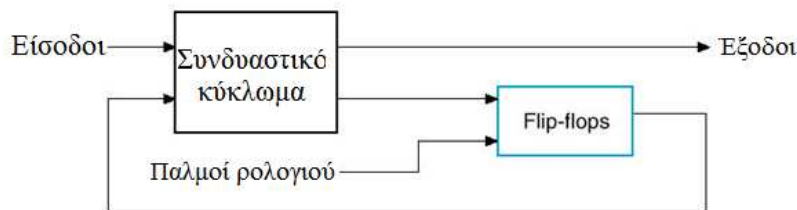
- **Σύγχρονο:** Η εφαρμογή της εισόδου, η εκτέλεση των λειτουργιών, η λήψη της εξόδου γίνεται σε καθορισμένες χρονικές στιγμές, με τη λειτουργία ενός «παλμού ρολογιού» (βλ. σχ. 7.2).
- **Ασύγχρονο:** Οι αλλαγές κατάστασης δεν γίνονται σε καθορισμένους χρόνους αλλά σε τυχαίους χρόνους που καθορίζονται από το κύκλωμα και μόνο.



Σχήμα 7.2 Ο συγχρονισμός στα σύγχρονα κυκλώματα επιτυγχάνεται με χρήση περιοδικών παλμών ρολογιού.

Η σχεδίαση ασύγχρονων κυκλωμάτων είναι δύσκολη, αφού η λειτουργία τους εξαρτάται απ’ την καθυστέρηση διάδοσης των σημάτων μέσα στο κύκλωμα και απ’ τις χρονικές στιγμές μεταβολής των τιμών των εισόδων. Η επιλογή συνεπώς είναι η σχεδίαση σύγχρονων κυκλωμάτων, στα οποία ωστόσο περιέχονται και μονάδες που βασίζονται στην ασύγχρονη λογική. Τέτοιες δομικές μονάδες είναι τα ασύγχρονα στοιχεία μνήμης που ονομάζονται **μανδαλωτές** και αποτελούν τη βάση για την υλοποίηση των **flip-flop**, που αποθηκεύουν πληροφορίες στα σύγχρονα κυκλώματα.

Τα σύγχρονα ακολουθιακά κυκλώματα που χρησιμοποιούν παλμούς ρολογιού ως εισόδους στα στοιχεία μνήμης ονομάζονται **χρονιζόμενα** ακολουθιακά κυκλώματα. Οι τιμές των εξόδων των στοιχείων μνήμης (δηλ. της κατάστασής τους) μπορούν να μεταβάλλονται **μόνο** κατά τη διάρκεια εφαρμογής των παλμών. Όταν δεν υπάρχει παλμός ρολογιού, οι τιμές των εξόδων δεν αλλάζουν, ακόμα και αν οι τιμές των εισόδων μεταβληθούν. Τα στοιχεία μνήμης ονομάζονται **flip-flop** και είναι διατάξεις που μπορούν να αποθηκεύουν 1 bit δυαδικών δεδομένων (σχήμα 7.3).



Σχήμα 7.3: Σχηματικό διάγραμμα σύγχρονου ακολουθιακού κυκλώματος

Ένα flip-flop διαθέτει μία ή δύο εξόδους. Η μία αντιστοιχεί στην κανονική τιμή του bit που αποθηκεύεται, ενώ η δεύτερη έξοδος είναι «προαιρετική» και αντιστοιχεί στο συμπλήρωμα της τιμής του αποθηκευμένου bit.

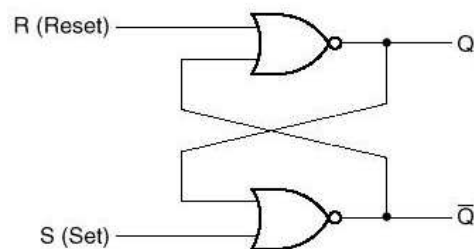
7.1.2 Μανδαλωτής SR

Είναι ένα κύκλωμα που αποτελείται από δύο πύλες NOR, που συνδυάζονται όπως φαίνεται στο σχ. 7.4

Ο μανδαλωτής έχει δύο εισόδους, που χαρακτηρίζονται ως **S** (set) και **R** (reset), καθώς και δύο αξιοποιήσιμες εξόδους, που καθορίζουν την κατάσταση του κυκλώματος.

Η κατάσταση $Q = 1$ και $\bar{Q} = 0$, του μανδαλωτή χαρακτηρίζεται ως **κατάσταση set**.

Η κατάσταση $Q = 0$ και $\bar{Q} = 1$, του μανδαλωτή χαρακτηρίζεται ως **κατάσταση reset**. Οι εξοδοι είναι η μία συμπλήρωμα της άλλης. Όταν και οι δύο εισοδοι πάρουν την



Σχήμα 7.4 Μανδαλωτής SR με πύλες NOR.

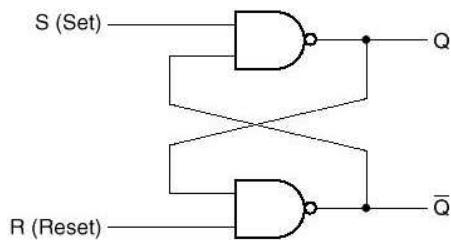
τιμή 1 ταυτόχρονα, τότε προκύπτει μία **μη-επιτρεπτή** κατάσταση. Η λειτουργία του μανδαλωτή περιγράφεται στον Πίνακα 7.1

Πίνακας 7.1 Λειτουργία του μανδαλωτή SR				
Είσοδοι		Έξοδοι		Κατάσταση
S	R	Q	\bar{Q}	
1	0	1	0	Set
0	0	1	0	Store
0	1	0	1	Reset
0	0	0	1	Store
1	1	0	0	Μη-επιτρεπτή

7.1.3 Μανδαλωτής \overline{SR}

Είναι ένα κύκλωμα που αποτελείται από δύο πύλες NAND, που συνδυάζονται όπως φαίνεται στο σχ. 7.5

Ο πίνακας λειτουργίας του κυκλώματος είναι ο Πίνακας 7.2.

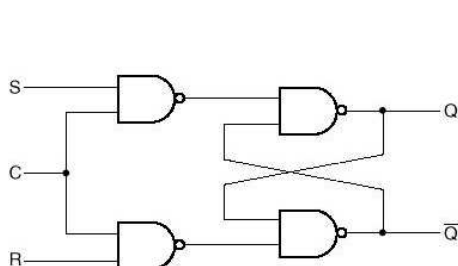


Σχήμα 7.5 Μανδαλωτής \overline{SR} .

Πίνακας 7.2 Λειτουργία του μανδαλωτή \overline{SR}				
Είσοδοι		Έξοδοι		Κατάσταση
S	R	Q	\bar{Q}	
0	1	1	0	Set
1	1	1	0	Store
1	0	0	1	Reset
1	1	0	1	Store
0	0	1	1	Μη-επιτρεπτή

7.1.4 Χρονιζόμενος μανδαλωτής SR

Η λειτουργία του βασικού κυκλώματος του μανδαλωτή SR μπορεί να τροποποιηθεί, με χρήση μιας πρόσθετης εισόδου ελέγχου (παλμός ρολογιού), που καθορίζει το πότε μεταβάλλεται η κατάσταση του. Το σχηματικό διάγραμμα του κυκλώματος φαίνεται στο σχήμα 7.6. Ο πίνακας λειτουργίας του είναι ο Πίνακας 7.3



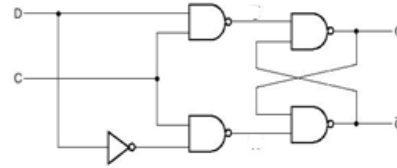
Σχήμα 7.6 Χρονιζόμενος μανδαλωτής SR

Πίνακας 7.3 Λειτουργία του χρονιζόμενου μανδαλωτή SR					
Είσοδοι			Έξοδοι		Κατάσταση
C	S	R	Q	\bar{Q}	
0	X	X	Q	\bar{Q}	Store
1	0	0	Q	\bar{Q}	Store
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	1	1	Μη-επιτρεπτή

Όταν και οι τρεις εισόδοι βρεθούν στην τιμή 1, οι τιμές των εισόδων του βασικού μανδαλωτή γίνονται 0. Αυτό οδηγεί σε μη-επιτρεπτή κατάσταση, αφού και οι δύο έξοδοι παίρνουν τιμή 1.

7.1.4 D Flip-Flop

Ένας τρόπος να αντιμετωπιστεί το πρόβλημα της ανεπιθύμητης συμπεριφοράς λόγω της μη-επιτρεπτής κατάστασης στον μανδαλωτή SR είναι να διασφαλιστεί ότι οι εισόδοι S και R δεν θα παίρνουν την τιμή 1 ταυτόχρονα. Αυτό επιτυγχάνεται με χρήση του D *flip-flop* (σχ. 7.7).



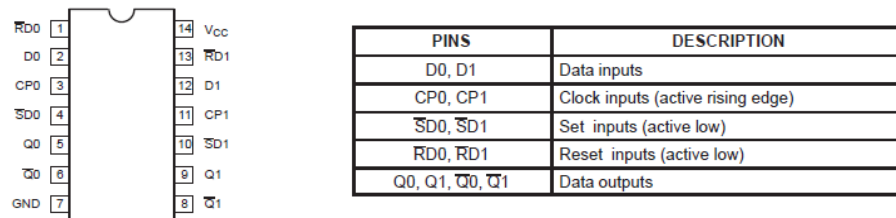
Σχήμα 7.7 D flip-flop

Το κύκλωμα έχει μόνο δύο εισόδους: την D (data) και την C (control). Η τιμή της εισόδου D γίνεται αντιληπτή όταν C = 1. Όταν D = 1, η έξοδος Q παίρνει την τιμή 1, οπότε το κύκλωμα βρίσκεται σε κατάσταση set. Όταν D = 0, η έξοδος Q παίρνει τιμή 0, οπότε το κύκλωμα μεταβαίνει σε κατάσταση reset (Πίνακας 7.4).

Πίνακας 7.4		
Λειτουργία του μανδαλωτή D		
Είσοδοι		Επόμενη κατάσταση της εξόδου Q
C	D	
0	X	Store
1	0	0, Reset
1	1	1, Set

7.1.4.1 7474 D Flip-Flop

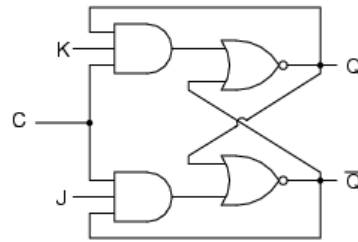
Το ολοκληρωμένο κύκλωμα που θα χρησιμοποιηθεί στο εργαστήριο είναι το 7474, που περιέχει δύο ακμοπυροδότητα (θετικής ακμής) D flip-flop. Κάθε flip-flop διαθέτει εισόδους D (data), C (clock), set και reset, καθώς και δύο εξόδους, συμπληρωματικές μεταξύ τους. Οι εισόδοι λειτουργούν ανεξάρτητα απ' την είσοδο του ρολογιού. Όταν οι εισόδοι set και reset βρίσκονται σε τιμή 1, η τιμή της εισόδου D οδηγείται στις εξόδους Q, \bar{Q} , κατά τη μετάβαση του παλμού ρολογιού απ' το 0 στο 1 (θετική ακμή). Η τιμή της εισόδου πρέπει να είναι καθορισμένη πριν τη μετάβαση του παλμού, ώστε να λειτουργήσει σωστά το κύκλωμα (σχ. 7.8).



Σχήμα 7.8 D flip-flop(ολοκληρωμένο 7474) και περιγραφή των ακροδεκτών

7.1.5 JK Flip-Flop

Το JK flip-flop έχει δύο εισόδους, την J (set) και την K (reset). Αποτελεί τροποποίηση του μανδαλωτή SR, χωρίς να οδηγεί σε μη-επιτρεπτή κατάσταση (σχ. 7.9). Η παρουσία των πυλών AND διασφαλίζει το ότι η είσοδος J επιδρά μόνον όταν το κύκλωμα βρίσκεται σε κατάσταση reset, ενώ η K μόνον όταν βρίσκεται σε κατάσταση set. Με άλλα λόγια, οι δύο εισοδοι δεν μπορούν να ενεργοποιηθούν ταυτόχρονα.



Σχήμα 7.9 JK flip-flop

Όταν το κύκλωμα βρίσκεται σε κατάσταση set ($Q = 1$ και $\bar{Q} = 0$), η είσοδος J «αδρανοποιείται», λόγω του $\bar{Q} = 0$, που σημαίνει ότι η κάτω AND δίνει έξοδο 0 και η αντίστοιχη NOR δεν αλλάζει κατάσταση. Απ' την άλλη, όταν το κύκλωμα βρίσκεται σε κατάσταση reset ($Q = 0$ και $\bar{Q} = 1$) αδρανοποιείται η είσοδος K.

Όταν $J = K = 1$:

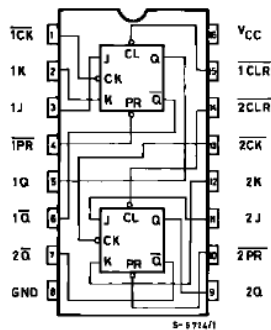
- Αν το κύκλωμα βρίσκεται σε κατάσταση set ($Q = 1$ και $\bar{Q} = 0$), η είσοδος J «αδρανοποιείται», οπότε, στον επόμενο παλμό ρολογιού, η πάνω πύλη AND θα έχει εισόδους $Q = K = C = 1$, άρα θα δώσει έξοδο 1 και η πάνω NOR θα δώσει έξοδο $Q = 0$. Δηλαδή το κύκλωμα θα μεταβεί σε κατάσταση reset ($Q = 0$ και $\bar{Q} = 1$).
- Αντίστροφα, όταν το κύκλωμα βρίσκεται σε κατάσταση reset ($Q = 0$ και $\bar{Q} = 1$), η K «αδρανοποιείται» και στον επόμενο παλμό, το κύκλωμα μεταβαίνει σε κατάσταση set ($Q = 1$ και $\bar{Q} = 0$).

Ο πίνακας 7.5 είναι ο πίνακας λειτουργίας ενός JK flip-flop. Ο πίνακας αναφέρεται στη λειτουργία του κυκλώματος, κατά την εφαρμογή παλμού ρολογιού. Η κατάσταση Q είναι η παρούσα κατάσταση του κυκλώματος και η $Q(t+1)$, η κατάσταση στην οποία μεταβαίνει.

Πίνακας 7.5			
Λειτουργία του JK flip-flop			
Q	J	K	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

7.1.5.1 74112 JK Flip-Flop

Το ολοκληρωμένο κύκλωμα που θα χρησιμοποιηθεί στο εργαστήριο είναι το 74112 (σχ. 7.10), που περιέχει δύο ακμοπυροδότητα JK flip-flop. Κάθε flip-flop διαθέτει εισόδους J, K, C (clock), set και clear, καθώς και δύο εξόδους, συμπληρωματικές μεταξύ τους. Όταν ο παλμός μεταβαίνει από 0 σε 1, οι εισοδοί ενεργοποιούνται και τα δεδομένα γίνονται «αντιληπτά». Οι τιμές των εισόδων J, K μπορούν να μεταβάλλονται όταν ο παλμός είναι σε τιμή 1. Τα δεδομένα αυτά μεταφέρονται στην έξοδο, κατά την αρνητική ακμή του παλμού.



PIN No	SYMBOL	NAME AND FUNCTION
1, 13	1CK, 2CK	Clock Input (HIGH to LOW edge triggered)
2, 12	1K, 2K	Data Inputs: Flip-Flop 1 and 2
3, 11	1J, 2J	Data Inputs: Flip-Flop 1 and 2
4, 10	1PR, 2PR	Set Inputs
5, 9	1Q, 2Q	True Flip-Flop Outputs
6, 7	1Q̄, 2Q̄	Complement Flip-Flop Outputs
15, 14	1CLR, 2CLR	Reset inputs
8	GND	Ground (0V)
16	V _{CC}	Positive Supply Voltage

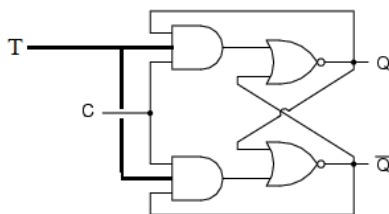
Σχήμα 7.10 JK flip-flop (ολοκληρωμένο 74112) και περιγραφή των ακροδεκτών

7.1.6 T Flip-Flop

Πρόκειται για Παραλλαγή του JK flip-flop, όπου οι εισοδοί J και K έχουν γίνει μία (σχ. 7.11). Η ονομασία T flip-flop προέρχεται από τη δυνατότητα του flip-flop να αντιστρέφεται (toggle), δηλαδή να αλλάζει κατάσταση.

Σε όποια κατάσταση και να βρίσκεται το flip-flop, όταν έλθει ο παλμός του ρολογιού ενώ T=1 πηγαίνει στη συμπληρωματική κατάσταση.

Όταν T=0, $Q(t+1)=Q$, δηλαδή η επόμενη κατάσταση είναι ίδια με την παρούσα και καμιά αλλαγή δε συμβαίνει.

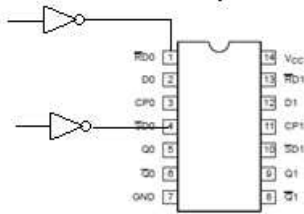


Πίνακας 7.6 Λειτουργία του T flip-flop		
Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

Σχήμα 7.10 T flip-flop

7.2.2 Μελέτη του D flip-flop (IC 7474)

Θα χρησιμοποιήσετε μόνο το ένα από τα δύο flip-flop, που περιλαμβάνει το ολοκληρωμένο.



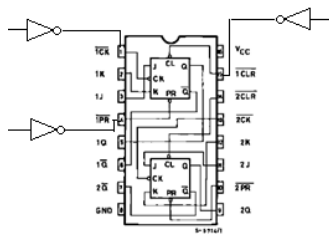
1. Τοποθετήστε το ολοκληρωμένο κύκλωμα στο raster και συνδέστε τους ακροδέκτες τροφοδοσίας και γείωσης.
2. Χρησιμοποιήστε τις εξόδους $Q0, \overline{Q0}$.
3. Στους ακροδέκτες $SD0, RD0$ δώστε τιμή '1'. Λόγω του ότι οι εισόδους $SD0, RD0$ είναι "active low" θα χρησιμοποιηθούν δύο πύλες NOT (7404), όπως φαίνεται στο διάγραμμα. Φέρτε το κύκλωμα σε κατάσταση set: Με τον ακροδέκτη $RD0$ να παραμένει σε τιμή '1' δώστε στον $SD0$ τιμή '0' και πάλι '1'. Βεβαιωθείτε ότι οι τιμές στις εξόδους είναι: $Q = 1, \overline{Q} = 0$ και ότι $SD0=RD0=1$.
4. Δώστε στις εισόδους $D0$ (data) και $CP0$ (clock) τιμή '0'.
5. Με $D0=0$ δώστε $CP0=1$.
6. Δώστε $D0=1$ και $CP0=0$.
7. Δώστε πάλι $CP0=1$.

Συμπληρώστε τον πίνακα λειτουργίας του D flip-flop με βάση τη διαδικασία που περιγράφεται πιο πάνω.

$SD0$	$RD0$	$D0$	$CP0$	$Q0$	$\overline{Q0}$
1	1	0	0		
1	1	0	↑		
1	1	1	0		
1	1	1	↑		
1	1	1	0		

7.2.3 Μελέτη του JK flip-flop (IC 74112)

Θα χρησιμοποιήσετε μόνο το ένα από τα δύο flip-flop, που περιλαμβάνει το ολοκληρωμένο.

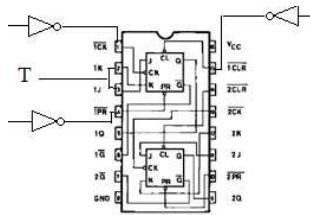


1. Τοποθετήστε το ολοκληρωμένο κύκλωμα στο raster και συνδέστε τους ακροδέκτες τροφοδοσίας και γείωσης.
2. Χρησιμοποιήστε τις εξόδους $1Q, \overline{1Q}$. Στους ακροδέκτες $1CLR, 1PR$ δώστε τιμή '1'. Λόγω του ότι οι εισόδους $1CLR, 1PR$ είναι "active low" θα χρησιμοποιηθούν δύο πύλες NOT (7404), όπως φαίνεται στο διάγραμμα. Φέρτε το κύκλωμα σε κατάσταση set: Με τον ακροδέκτη $1CLR$ να παραμένει σε τιμή '1' δώστε στον $1PR$ τιμή '0' και πάλι '1'. Βεβαιωθείτε ότι οι τιμές στις εξόδους είναι: $Q = 1, \overline{Q} = 0$ και ότι $1PR = 1CLR = 1$.
3. Συμπληρώστε τον πιο κάτω πίνακα λειτουργίας του κυκλώματος.

CLR	PR	J	K	CK	Q	\overline{Q}
0	1	X	X	X		
1	0	X	X	X		
0	0	X	X	X		
1	1	0	0	↓		
1	1	1	0	↓		
1	1	0	1	↓		
1	1	1	1	↓		
1	1	X	X	↑		

7.2.4 Μετατροπή του JK flip-flop (IC 74112), σε T flip-flop.

Το JK flip-flop μετατρέπεται σε T flip-flop όταν οι δύο εισοδοί του παίρνουν την ίδια τιμή. Κατασκευάστε το πιο κάτω κύκλωμα και συμπληρώστε τον πίνακα λειτουργίας του.



CLR	PR	T	CK	Q
1	1	0	↓	
1	1	1	↓	
1	1	X	↑	